

MEMORY INTERFACE CIRCUIT AND METHOD OF WRITING REVERSELY DIFFUSED SYMBOL IN MEMORY

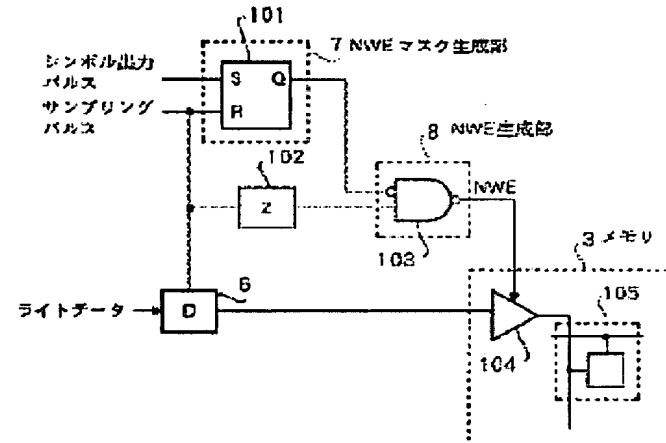
Patent number: JP2002171200
Publication date: 2002-06-14
Inventor: ARIMURA TAKUYA
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
 - international: H04B1/707
 - european:
Application number: JP20000363238 20001129
Priority number(s):

[Report a data error here](#)

Abstract of JP2002171200

PROBLEM TO BE SOLVED: To reduce the power consumption of CDMA communication which permits multi-rate transmission by suppressing the writing of reversely diffused data in a RAM to one time only regardless of the symbol rate (diffusion coefficient).

SOLUTION: A signal which masks a write enable signal (NWE) is generated. An NWE mask generating section 7 has an RS flip flop (FF) 101 and the FF 101 is set by a symbol output pulse (a pulse indicating the outputting timing of one symbol) and reset by them first sampling pulse (a pulse instructing the fetching of data to a memory 3). An NWE generating section 8 ANDs the masking signal with the sampling pulse. Since the NWE only once becomes active in one symbol regardless of the symbol rate, useless write access does not occur.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-171200

(P2002-171200A)

(43)公開日 平成14年6月14日 (2002.6.14)

(51)Int.Cl.⁷

H 0 4 B 1/707

識別記号

F I

H 0 4 J 13/00

マーク(参考)

D 5 K 0 2 2

審査請求 有 請求項の数 6 O L (全 16 頁)

(21)出願番号

特願2000-363238(P2000-363238)

(22)出願日

平成12年11月29日 (2000.11.29)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 有村 拓也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100105050

弁理士 鷲田 公一

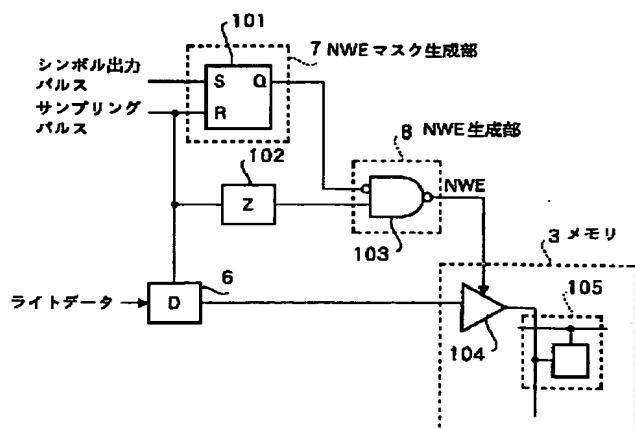
F ターム(参考) 5K022 EE01 EE23 EE31

(54)【発明の名称】 メモリインターフェース回路および逆拡散後シンボルのメモリへの書き込み方法

(57)【要約】

【課題】 マルチレート伝送を許容するCDMA通信において、シンボルレート(拡散率)にかかわりなく、逆拡散後データのRAMへのライトを1回に抑え、低消費電力化を図ること。

【解決手段】 ライトイネーブル信号(NWE)をマスクする信号を生成する。NWEマスク生成部7は、RSフリップフロップ(FF)101を有し、このFFは、シンボル出力パルス(1シンボルの出力タイミングを示すパルス)でセットされ、最初のサンプリングパルス(メモリ3へのデータの取り込みを指示するパルス)でリセットされる。そして、NWE生成部8において、マスク信号とサンプリングパルスとのアンドをとる。NWEがアクティブとなるのは、シンボルレートにかかわりなく、1シンボル中で1度だけであり、無駄なライトアクセスが発生しない。



(2)

I

【特許請求の範囲】

【請求項 1】 通信の情報量の多少に応じて情報シンボルの拡散率を変化させるマルチレート伝送方式を採用したCDMA通信の信号を受信し、逆拡散してメモリに格納するに際し、受信した情報シンボルの出力タイミングを示すシンボル出力信号と、一つの情報シンボルに対して最初に出力される、メモリへのデータの取り込みを指示するサンプリング信号に基づいて、前記メモリへの書き込み可能期間を制御することを特徴とする逆拡散後シンボルのメモリへの書き込み方法。

【請求項 2】 通信の情報量の多少に応じて情報シンボルの拡散率を変化させるマルチレート伝送方式を採用したCDMA通信の信号を受信し、逆拡散してメモリに格納するに際し、メモリへの書き込みの許可／不許可をライトイネーブル信号で制御し、そのライトイネーブル信号がアクティブとなる期間を、ライトイネーブルマスク信号を用いて制御するようにし、

前記ライトイネーブルマスク信号のアクティブ期間の開始を、受信した情報シンボルの出力タイミングを示すシンボル出力信号に基づいて決定すると共に、前記ライトイネーブルマスク信号のアクティブ期間の終了を、情報シンボルをメモリへ格納する際に一定の周期で情報シンボルを書き込むために用いられるサンプリング信号のうちの、同一の情報シンボルに対して最初に出力されるサンプリング信号でもって決定し、

前記ライトイネーブルマスク信号がアクティブとなっている状態で、前記サンプリング信号が出力された場合のみ、前記ライトイネーブル信号がアクティブとなって、これによって前記メモリへの情報シンボルの書き込みを可能とすることを特徴とする逆拡散後シンボルのメモリへの書き込み方法。

【請求項 3】 通信の情報量により変化する受信情報シンボルの周期に同期して、シンボル出力信号を生成するシンボル出力信号生成部と、

情報シンボルをメモリへ格納する際に、一定の周期で情報シンボルを書き込むために用いられるサンプリング信号を生成するサンプリング信号生成部と、

前記シンボル出力信号および前記サンプリング信号を用いて、ライトイネーブルマスク信号を生成するライトイネーブルマスク生成部と、

前記サンプリング信号および前記ライトイネーブルマスク信号を用いて、メモリの書き込みを許可するためのライトイネーブル信号を生成するライトイネーブル信号生成部と、を具備することを特徴とするメモリインタフェース回路。

【請求項 4】 請求項 3において、

前記ライトイネーブルマスク生成部は、前記シンボル出力信号に基づいてライトイネーブルマスク信号のアクティブ期間の始期を決定し、また、同一の情報シンボルに対して最初に出力される前記サンプリング信号でもつ

2

て、前記ライトイネーブル信号の終期を決定し、前記ライトイネーブル信号生成部は、前記ライトイネーブルマスク信号がアクティブ期間において、前記サンプリング信号が出力された場合にのみ、前記ライトイネーブル信号をアクティブとし、これによって前記メモリへの情報シンボルの書き込みを可能とすることを特徴とするメモリインタフェース回路。

【請求項 5】 請求項 3または請求項 4において、前記サンプリング信号生成部より出力されるサンプリング信号に同期してカウントするカウンタ部と、前記カウンタ部のカウンタ値によって複数の逆拡散器のデータを選択するセレクタ部と、さらに設けることにより、複数の逆拡散器出力データを 1 つのメモリに時分割で書き込むことを特徴とするメモリインタフェース回路。

【請求項 6】 受信アンテナと、所定の周波数でフィルタリングしベースバンド信号に復調する高周波信号処理部と、アナログ信号をデジタル信号に変換するA/D変換部と、受信タイミングの同期獲得および同期追従を行うサーチャと受信信号を所定のタイミングで逆拡散しデータを復調する逆拡散部と、逆拡散後情報シンボルをメモリへの書き込み制御を行う、請求項 3～請求項 5のいずれかに記載のメモリインタフェース回路と、情報シンボルを蓄積しておくメモリと、マルチパスのパス毎に情報シンボルの位相を推定し同期検波を行った後、レイク合成する同期検波／レイク合成部と、チャネルデコードを行うチャネルコーデック部と、を有することを特徴とするCDMA受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリインタフェース回路、および逆拡散後シンボルのメモリへの書き込み方法に関する。特に、マルチレート伝送に対応したCDMA方式の受信機、あるいは、同期追従によりデータの時間周期が変化するCDMA方式の受信機に適用される、メモリインタフェース回路および逆拡散後情報シンボルのメモリへの書き込み方法に関する。

【0002】

【従来の技術】ITU（国際電気通信連合）では、移動体通信の世界統一の標準規格、IMT2000の策定が進められており、IMT2000の対応規格の 1 つにW-CDMA(Wide band Code Division Multiple Access)方式が認められた。

【0003】W-CDMA方式の特徴の 1 つとして、通信する情報量の大小に応じて情報シンボルの拡散率を変化させ伝送する、いわゆるマルチレート伝送がある。

【0004】送信機側では情報シンボルをある拡散コードにより拡散変調を行った後送信し、受信機側では逆拡散器によって同一の拡散コードを掛け合わせ、1情報シンボルに掛け合わされたチップ数分積分することによって、情報シンボルを復調する。このとき、1情報シンボ

(3)

3

ルに掛け合わされるチップの数が拡散率であり、1情報シンボルに掛け合わされるチップの数が可変であることを許容する伝送方式がマルチレート伝送である。

【0005】マルチレート伝送の場合、拡散後のデータ周期（つまり1チップ期間）は一定であるため、逆拡散後の情報シンボルは、拡散率によってその周期が変化することになる。

【0006】例えば、音声通信の情報量に比べて、データ通信の情報量は格段に多い。このような場合、情報量の少ない音声情報については、拡散率を高めて1チップ当たりの電力を低減し、通信電力の削減を図る。一方、高精度が要求されるデータ通信では、拡散率を低くして1シンボルを復元するのに必要な積分の回数を少なくして通信を行う。つまり、データ通信の場合には、1シンボル期間を短くして、単位時間当たり多くのシンボルを通信する。

【0007】図8(a)に、マルチレート伝送時のチップおよびシンボルのデータ周期の1例を示す。

【0008】図8(a)に示される例のように、1秒当たりのチップ数（以下、チップレート）が 3.84Mcps である場合、拡散率4の情報シンボルの1秒当たりのシンボル数（以下、シンボルレートと表す）は 960ksps （symbol per sec）となり、1シンボル期間 T_2 は約 1.04ns である。

【0009】同様に、拡散率32の情報シンボルのシンボルレートは 128ksps となり、1シンボル期間 T_5 は約 $7.81\mu\text{s}$ となる。上述のように、伝送すべき情報量が多くなるほど拡散率を小さくし、情報量が少ないほど拡散率を増大させる。

【0010】ところで、受信機において逆拡散され復調された情報シンボルは、通常スロットやフレームといった一定の単位で処理される（例えば、レイク合成処理される）ため、一旦メモリに書き込む（格納する）必要がある。

【0011】マルチレート伝送では、シンボルレートが状況に応じて異なるので、メモリに格納する手段としては、拡散率の最も低い、すなわち逆拡散後の1つの情報シンボルの期間が最も短い場合を想定して、それ以下の時間間隔でメモリへの書き込み（格納）を行うのが一般的である。

【0012】さらに、移動機におけるCDMA受信機では、同期はそれがおこらないように同期追従（トラッキング）を行う必要がある。遅延ロックループ（Delay LockedLoop）を用いたトラッキング回路では、2組の相関器が使用され、各々の相関器には、逆拡散に使用される拡散符号（PNコード）を基準として、例えば半チップだけ位相が進んだコード（early code）と、半チップだけ位相が遅れたコード（late code）が注入され、それらのコードとの相関が検出される。このような同期追従により受信タイミングの変更が発生した場合、受信機から

(4)

4

みたシンボル時間周期は見かけ上、長く、もしくは短くなるため、この場合にも上述したマルチレート伝送と同様の配慮が必要となる。この点について、図8(b)を参照して説明する。

【0013】同期追従による受信タイミングの変更は、常に行われるものではなく、所定の間隔で間欠的に行われる。同期追従動作が発生し、同期タイミングが時間的に早まる方向にシフトした場合（つまり、early codeとの相関を求める場合）、その瞬間の1シンボルの期間

10 が、見かけ上、通常よりも短くなる。すなわち、同期追従のためのトラッキングが発生すると、見かけ上、シンボルが短くなった（あるいは長くなった）ように見えるため、マルチレートのときと同様にシンボル周期の変動が発生することになる。

【0014】従って、情報シンボルを漏らさずメモリに書き込む（格納する）ためには、同期追従により1シンボルの時間が短くなることを想定して、それと同じ時間の周期で書き込みを行う必要がある。

【0015】つまり、図8(b)に示すように、通常は20 1シンボル期間が「4チップ」であったものがトラッキング期間に「3.5チップ」になるとして、通常の「4チップ」を周期とするタイミング（S1, S2, S3）でメモリへの書き込みをしていると、S3のタイミングで、本来ならば取り込めるはずのデータを逃してしまうことになる。このような不都合を解消するためには、当初から「3.5チップ」の間隔でメモリへの書き込みを行う必要がある。

【0016】

【発明が解決しようとする課題】当初から最悪の場面を30 想定して、最も短いシンボル期間に合わせた周期でメモリへの書き込みを行う方法を採用する場合、いかなるシンボルレートであっても一定の周期で書き込みを行うため、回路としては簡易に構成できる反面、以下のような課題が発生する。

【0017】第一に、拡散率の高い（1情報シンボルの期間が長い）データを受信している場合は、同一の情報シンボルに対して何回も書き込み動作を行うことになり、無駄な処理が発生する。つまり、本来なら、1つのシンボルについて1回だけメモリアクセスを発生させればよいが、より短い周期でアクセスを発生させることになると、同一のシンボルのデータを複数回メモリに書き込む（オーバーライドする）ことになり、無駄な処理が発生する。

【0018】この問題を解決するために、シンボルレートに応じて書き込む周期を可変にすることも考えられるが、この場合は、メモリインタフェース部にシンボルレートの情報を与えて、メモリインタフェース部において、各シンボルレート毎に制御方法を切り替える必要があり、制御が複雑になる。

【0019】第2に、移動機における受信機では、同期

(4)

5

追従により、データの周期（1シンボル期間）が見掛け上、短くなる場合があるので、情報シンボルを漏らさず書き込むためには、更に短い周期でメモリへの書き込み動作を行わなければならないが、常にデータの周期が短くなるとは限らないため、それ以外の場合は、同様に無駄な電力を消費してしまう。さらに付け加えると、同期追従まで考慮して書き込む周期を可変にするのは、制御がより複雑になってしまう。

【0020】このような問題点を、図9および図10を用いて説明する。図9および図10では、最も低い拡散率を「4」と想定し、さらに同期追従によりデータの周期が1チップ短くなることを想定したときのタイミング図である。

【0021】図9は、トラッキング動作時において、データの周期が1チップ短くなることを想定して、拡散率4の情報シンボルを受信しているにもかかわらず、3チップ周期で情報シンボルのサンプリングを行い、メモリに書き込む場合のタイミングを示す図である。

【0022】図示されるように、シンボル出力パルスのネガティブエッジ（時刻t1, t4, t6, t8）に同期して、逆拡散後情報シンボルが出力される。1シンボル期間中に、メモリへのデータの取り込みを指示するサンプリングパルスが出力されると（時刻t2, t4, t5, t7, t9）、ライトイネーブル信号（NWE）がローレベルに変化してアクティブ状態となる（時刻t3, t5, t6, t8, t10）。そして、ライトイネーブル信号がアクティブの期間に、メモリへのデータの書き込みがなされる。

【0023】このように、トラッキング時のシンボル期間の変動を考慮して、トラッキングを行わない期間においても短い周期でサンプリングを行うと、図9の時刻t5と時刻t6において、同じデータ（FOB）の書き込みアクセスが発生する。時刻t6に発生するアクセス（A）は、無駄な処理である。

【0024】同様に、図10は、拡散率8（1シンボルが8チップからなる）のデータを受信し、逆拡散してメモリに格納する場合に、マルチレート伝送の最小の拡散率（=拡散率4）を考慮して、4チップ毎にサンプリングパルスを発生させる場合のタイミングを示している。

【0025】この場合には、時刻t4, t5に同一データ（FOA）を書き込むための無駄なアクセス（B1）および（B2）が発生し、同様に、時刻t7において、同一データ（FOB）を書き込むための無駄なアクセスが発生する。

【0026】このように、いかなるシンボルレートであっても、最小の拡散率を想定して一定の周期で書き込みを行う方法を採用すると、図10の場合には、少なくとも2回に1回は無駄な処理が発生する。そして、拡散率が高くなるほど無駄な処理の回数は増加し、拡散率256のときには、64回の書き込み処理の内63回は無駄

6

な処理になってしまう。

【0027】以上説明したように、拡散率が高い場合や同期追従動作が発生しない場合でも、拡散率がもっとも低く、同期追従動作でデータの時間周期が短くなることを想定した時間周期で逆拡散後情報シンボルの書き込み（格納）を行うため、無駄な処理量が発生してしまう。逆にシンボルレートに応じて書き込む周期を可変にするのは制御が複雑になるという課題があった。

【0028】本発明は、このような考察に基づきなされたものであり、逆拡散後シンボルのメモリへの書き込み処理量の無駄を無くすることで、全体として処理量の低減を図り、さらに簡易な回路にてこれを実現することを目的とする。

【0029】

【課題を解決するための手段】本発明では、シンボルレートの出力タイミングを示す信号（以下、シンボル出力信号）と、メモリへの書き込みを行うためのサンプリングタイミング（データの取り込みタイミング）を示す信号（以下、サンプリング信号と表す）とを利用して、メモリへの書き込み許可フラグ（ライトイネーブル信号）をマスクすることにより、メモリにおける処理量の低減を実現する。

【0030】すなわち、サンプリングパルスによりサンプリングされた情報シンボルが、すでにメモリへの書き込み動作が一度行われたシンボルであって、二度目以降のサンプリングによる書き込み不要な同一情報シンボルである場合には、ライトイネーブル信号をマスクする。こうした動作の結果、同一情報シンボルのメモリセルへの書き込み動作を禁止することが可能となり、メモリセルの無駄な動作を完全に無くすことができる。

【0031】

【発明の実施の形態】本発明の一態様では、ライトイネーブルマスク信号のアクティブ期間の開始を、受信した情報シンボルの出力タイミングを示すシンボル出力信号に基づいて決定すると共に、ライトイネーブル信号のアクティブ期間の終了を、情報シンボルをメモリへ格納する際に一定の周期で情報シンボルを書き込むために用いられるサンプリング信号のうちの、同一の情報シンボルに対して最初に出力されるサンプリング信号でもって決定し、ライトイネーブルマスク信号がアクティブとなっている状態で、前記サンプリング信号が出力された場合にのみ、前記ライトイネーブル信号がアクティブとなって、これによって前記メモリへの情報シンボルの書き込みを可能とする。

【0032】同一の情報シンボルについて出力される最初のサンプリング信号でもって、ライトイネーブルのマスク信号をオンさせる。これにより、その後に2番目、3番目…のサンプリングパルスが出力されても、ライトイネーブル信号がアクティブになるのが禁止される。ライトイネーブルのマスクが解除されるのは、次のシンボ

(5)

7

ルが出力されたときである。よって、いかなるシンボルレートであっても、同一の情報シンボルについてライトイネーブルがアクティブとなって書き込みが許されるのは、1回のみである。よって処理量の低減を図ることができる。また、無駄な電力消費を完全にくし、CDMA受信機の長寿命化を図ることが可能となる。

【0033】また、シンボル出力信号は、逆拡散部において、逆拡散後の積分終了タイミングを与るために必ず設けられる信号である。また、サンプリングパルスは、メモリへのデータの書き込みに必須の信号である。このような当然に必要とされる信号を利用してライトイネーブルのマスク信号を生成するため、簡単なロジック回路で実現することができる。

【0034】また、複数の受信フィンガーからの逆拡散後データをメモリに格納することは、セレクタによる時分割制御により、容易に実現できる。セレクタの時分割制御信号としては、例えば、n進カウンタのカウント出力をそのまま利用することができる。このn進カウンタの出力は、サンプリングパルスとしても利用可能である。よって、簡易な構成でもって、マルチレート伝送を許容するCDMA通信のレイク受信機を実現することができる。

【0035】(実施の形態1) 図1は本発明の実施の形態1にかかるメモリインタフェース回路の構成を示すブロック図である。以下に図1におけるメモリインタフェース回路の構成と動作の説明を行う。

【0036】図1に示すように、メモリインタフェース回路1は、逆拡散器2から出力された情報シンボルデータを受け、情報シンボル蓄積メモリ3へ出力する回路であり、シンボル出力信号生成部4と、サンプリング信号生成部5と、レジスタ6と、NWEマスク生成部7と、NWE生成部8より構成される。ここで、「NWE」は、ライトイネーブル信号を意味する。Nは”negative”的頭文字をとったものである。つまり、NWEは、負論理のライトイネーブル信号(WE)を表している。

【0037】逆拡散器2は、複素逆拡散部2aと、積分(積和演算)部2bと、を具備する。シンボル出力信号生成部4は、受信データの周期情報およびタイミング情報を基に、積和演算が完了し情報シンボルが復調されることを示すシンボル出力信号を生成し、逆拡散器2の積分部2bに与える。

【0038】逆拡散器2は、シンボル出力信号を受けて逆拡散後のチップの積分(積和演算)を終了させ、メモリインタフェース回路1に、復調した情報シンボルを出力する。

【0039】サンプリング信号生成部5では、逆拡散器2より出力される情報シンボルの時間周期が最も短い場合でも確実にメモリ3への書き込みが行える一定の周期でサンプリング信号を生成し、レジスタ6へ出力する。

【0040】レジスタ6では、情報シンボルを保持し、

(5)

8

サンプリング信号のタイミングにてメモリ3へ情報シンボルを出力するが、サンプリング信号の周期は、情報シンボルの周期より短いため、情報シンボルをオーバサンプリングしてメモリ3に出力することになる。

【0041】ところで、シンボル出力信号とサンプリング信号はNWEマスク生成部7にも入力される。NWEマスク生成部7では、シンボル出力信号とサンプリング信号を基に、NWEマスク信号(ライトイネーブルマスク信号)を生成し、NWE生成部8では、NWEマスク信号を基に、サンプリング信号のタイミングでNWE(ライトイネーブル信号)をメモリ3へ出力する。

【0042】このとき、レジスタ6にてサンプリングされた情報シンボルが、すでにメモリ3への書き込み動作が一度行われたシンボルで、二度目以降のサンプリングによる書き込み不要な同一情報シンボルである場合には、NWEをマスクし、メモリ3への書き込み動作が発生しないようにしている。

【0043】図2に、図1の要部の回路の具体的な構成例を示す。NWEマスク生成部7は、リセット・セット・フリップフロップ(RSFF)101からなり、セット端子にシンボル出力パルスが入力され、この入力でQ出力をアクティブ(ローレベル)とする。また、サンプリング信号がリセット端子に入力され、この入力でもってQ出力をリセットする。したがって、最初のサンプリング信号でもってリセットされた後は、次のシンボル出力パルスが入力されるまで、リセット状態が維持されることになる。

【0044】NWE生成部8は、一方の入力にインバータを付加した2入力のNANDゲート103で構成される。このNANDゲート103の出力(NWE)は、NWEマスク信号がローレベル(アクティブ)となっているときに、サンプリングパルスが出力された場合のみ、ローレベル(アクティブ)となる。

【0045】NWEマスク信号がハイレベルのときはNANDゲート103の出力は、サンプリングパルスの有無にかかわらずハイレベル(ノンアクティブ)に固定される。なお、参照符号102は、タイミング調整用の遅延器である。

【0046】メモリ3には、トライステートのバッファ104が備えられていて、このバッファ104は、NWE信号(ライトイネーブル信号)がハイレベル(インアクティブ)のときには、その出力がハイインピーダンス状態となり、メモリセル105への書き込みが禁止される。つまり、NWE信号(ライトイネーブル信号)がローレベル(アクティブ)のときにのみ、メモリセル105へのライトアクセスが可能となる。

【0047】以上のNWE(ライトイネーブル信号)を生成する動作の詳細を図3および図4を用いて説明する。

【0048】図3および図4はそれぞれ、先に説明した

(6)

9

図9および図10に対応する図であり、その条件は同じである。すなわち、共に最も低い拡散率を4と想定し、さらに図3では、同期追従によりデータの時間周期が1チップ短くなることを想定している。また、図4は実際には1シンボルが8チップからなる信号を受信しているにもかかわらず、最小の拡散率の信号の受信を考慮して、4チップ間隔でメモリへのライトアクセスを発生させる場合のタイミングを示している。

【0049】まず、図3では、上述のとおり、データの時間周期が1チップ短くなることを想定して3チップ周期で、情報シンボルのサンプリングを行いメモリ3に書き込む。

【0050】NWEマスク信号は、シンボル出力パルスが出力されるタイミング（時刻t1, t4, t7, t10）でローレベル（書き込み許可レベル）になる。そして、この状態が、最初のサンプリングパルスが出力されるまで保持される。つまり、最初のサンプリングパルスが出力された時点（時刻t2, t5, t9, t11）以降は書き込み不許可レベルになり、次のシンボル出力信号が出力されるまで、その状態が保持される。

【0051】ライトイネーブル信号（NWE）は、レジスタ6よりメモリ3へ出力される情報シンボルと同じ、サンプリング信号のタイミングで出力される。このときNWEマスク信号を参照し、NWEマスク信号が許可レベルであれば、ライトイネーブル信号（NWE）は書き込み許可レベルとなる。また、NWEマスク信号が書き込み不許可レベルであれば、ライトイネーブル信号（NWE）は、書き込み不許可レベルとなる。

【0052】以上の制御を行うことにより、時刻t2, t5, t9, t11におけるメモリへの書き込みは許可されるが、時刻t7におけるアクセス（A）は、NWEがハイレベル（書き込み不許可レベル）であることから禁止される。よって、同一の情報シンボルFOBに対する2度目のアクセスが発生しない。つまり、図9において発生していた、無駄な書き込み処理をなくすことが可能となる。

【0053】したがって、図3の例の場合に限っていようと、同期追従動作が発生する時間周期は、サンプリング信号の時間周期と比較して十分長いと考えると、メモリ3における処理量を約3/4に低減することができ、結果としてメモリ3にて消費する電力も約3/4に削減することが可能となる。

【0054】同様に図4においても、図10において発生していた無駄なアクセス（B1）、（B2）および（B3）が、NWEが書き込み不許可レベルになることから禁止される（図4の時刻t4, t6, t10）。よって、無駄な書き込み処理をなくすことが可能である。

【0055】したがって、図4の例では、メモリ3における書き込み処理量は、1/2に低減できる。拡散率が高い程、処理量削減効果は大きく、拡散率が256の場

10

合の処理量は、本発明前と比較して1/64に低減することが可能である。結果として、優れた低消費電力化を図ることが可能である。

【0056】なお、図3および図4において、NWEマスク信号の書き込み許可レベルを”L”としているが、これは何であっても構わない。また、NWEにおいても書き込み許可レベルをLとしているが、これも何であってもよい。またNWEの生成方法に関しても、シンボル出力信号によって書き込み許可とし、サンプリング信号によってそれ以後次のシンボル出力信号が来るまで書き込みを不許可にするという条件を満足すればどのような生成方法でもよい。

【0057】図5（a），（b）に、拡散率”4”～”512”的情報シンボルを受信した場合の処理量削減効果を模式的に示す。図5（a），（b）では、メモリへの書き込み周期を拡散率”4”的周期とした場合における処理量を”1”としている。図5（a）は、本発明前の処理量（消費電力）を示し、図5（b）は本発明の処理量（消費電力）を示している。

【0058】図5（a）では、常に、同期追従（キャッシング）動作による1シンボル期間の変動も考慮して、最小のチップ周期でメモリアクセスを発生させるため、その処理量（消費電力）は、いつも一定であり、無駄が多い。

【0059】本発明によれば、図5（a）に明確に示されるように、S部分およびT部分の処理量（消費電力）の削減を図ることができる。ここで、S部分は、同期追従動作を考慮したメモリアクセスに伴い発生する無駄な処理（キャッシングを行わない期間で発生する無駄なアクセス）を無くすることにより削減が可能となる部分である。

【0060】また、T部分は、実際に受信した信号が拡散率が高い信号であった場合に、同一シンボルを何回もメモリに格納する無駄な処理を無くすことにより削減できる部分である。

【0061】図から明らかなように、拡散率が高いほど本発明の処理量削減効果は大きく、本例に限って言うと、拡散率が8の場合でも、処理量は従来の少なくとも1/2にでき、拡散率512の場合は、処理量は従来の少なくとも1/128以下にできる。

【0062】このように、本発明は逆拡散後情報シンボルのメモリへの書き込み時の処理量を拡散率に応じて最適化しているため、CDMA受信機の低消費電力化の図ることが可能であり、携帯電話の通話時間の長寿命化を実現することができる。つまり、高度なデータ通信を行うことを可能にすることに伴う無駄な電力消費を完全に無くすることで、携帯電話に厳しく求められる長寿命化の要請も満足するものであり、本発明を用いることにより、マルチレート伝送方式に対応した携帯電話機が実現される。

(7)

11

【0063】(実施の形態2) 図6は本発明の実施の形態2にかかるメモリインタフェース回路のブロック図である。

【0064】本実施の形態のメモリインタフェース回路は、複数の受信フィンガーF1～Fnから出力される逆拡散後データを受けて、メモリ11に出力・書き込みするものである。各受信フィンガーは、逆拡散部(10a～10n)と、積分部(11a～11n)を有する。

【0065】受信フィンガーと同数のシンボル出力信号生成部12a～12nと、NWEマスク生成部13a～13nと、セレクタ部18a、18bと、サンプリング信号生成部14と、レジスタ15と、NWE生成部16と、n進カウンタ部17により構成される。

【0066】実施の形態1にかかるメモリインタフェース回路と異なるのは、セレクタ部18a、18bと、n進カウンタ部17とを設け、このn進カウンタの出力でもってセレクタを時分割制御する点である。なお、動作については、実施の形態1と重なる部分があるため、その部分については省略し、特徴的な部分のみ、説明を行う。

【0067】n進カウンタ17は、サンプリング信号生成部14より出力されるサンプリング信号の周期に同期したタイミングでカウントアップを行う。

【0068】各シンボル出力信号生成部12a～12nから出力されるシンボル出力信号は、各NWEマスク生成部13a～13nに供給される。各NWEマスク生成部13a～13nは、n進カウンタ17のカウント値を参照して時分割で動作する。

【0069】セレクタ部18aは、n進カウンタのカウント値を参照し、カウント毎に時分割で入力を切り替え、NWEマスク生成部13a～13nから出力されるNWEマスク信号(Ma～Mn)のいずれかを選択してNWE生成部16に出力する。

【0070】同様に、セレクタ部18bは、カウント値を参照してカウント毎に、各受信フィンガーからの出力データ(Da～Dn)を時分割で選択し、レジスタ15に出力する。

【0071】また、サンプリング信号生成部14は、各受信フィンガーに対応したタイミングでサンプリング信号を生成し、NWE生成部16およびレジスタ15に供給する。

【0072】以上の動作により、複数の受信フィンガーの出力データを時分割で1つのメモリに書き込むことが可能であり、これによりレイク合成受信が可能となる。複数のフィンガーの出力データのそれぞれに対して無駄な書き込み処理が発生しないため、効果的に低消費電力化を図ることが可能である。

(実施の形態3) 本発明の実施の形態3は、実施の形態1または2に示したメモリインタフェース回路をCDMA受信装置に適用した例である。

10

【0073】以下に本発明の実施の形態3を、図7を参考しながら説明する。

【0074】実施の形態3のCDMA受信装置は、受信アンテナ19と、所定の周波数でフィルタリングし、ベースバンド信号に復調する高周波信号処理部20と、アナログ信号をデジタル信号に変換するA/D変換部21と、受信タイミングの同期獲得および同期追従を行うサーチャ22と受信信号を所定のタイミングで逆拡散しデータを復調する逆拡散部23と、逆拡散後情報シンボルをメモリへの書き込み制御を行う実施の形態1または2のいずれかを具備したメモリインタフェース部24と、情報シンボルを蓄積しておくメモリ25と、マルチパスのパス毎に情報シンボルの位相を推定し同期検波を行った後、レイク合成する同期検波・レイク合成部26と、チャネルデコードを行うチャネルコーデック部27とで構成されている。

【0075】受信信号は、高周波信号処理部20においてベースバンド信号に復調され、A/D変換されてデジタルデータに変換された後、逆拡散部23に入力される。逆拡散部23では、所望のマルチパス数および、多重コード数分の逆拡散器により、逆拡散されデータが復調される。復調されたデータは、メモリインタフェース部24を介してメモリ25に蓄積された後、同期検波・レイク合成部26にてマルチパスのパス毎に位相を補償し、レイク合成を行い、チャネルコーデック部27にてチャネルデコードされる。

【0076】メモリインタフェース部24は、実施の形態1または2と同じ構成を有しており、これにより、携帯電話全体の低消費電力化を図ることができる。また、メモリインタフェース部24は、上位装置(上位層)による制御に頼ることなく、メモリ周辺の回路で汎用の信号を利用する簡単なロジック回路で構成できるので、回路構成が簡単であり、携帯電話の小型化の支障になることもない。

20
30
40
50

【0077】

【発明の効果】以上説明したように本発明は、マルチレートに対応したCDMA方式の受信機または、同期追従によりデータの時間周期が変化するCDMA方式の受信機に適用され、逆拡散後情報シンボルのメモリへの書き込み方法として、いかなるシンボルレートであっても同一の情報シンボルに対して必ず1回だけメモリへの書き込み(格納)を行うことによって、無駄な書き込み処理が発生することを完全に無くし、更に容易な回路によつてそれを実現することが可能である。さらに、同期追従によりデータの時間周期が短くなる場合も同様に無駄な書き込み処理を完全に無くす事が可能となる。よって、全体として処理量(消費電力)を、効率的に削減することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかるメモリインタフ

(8)

13

エース回路のブロック図

【図2】実施の形態1にかかるメモリインタフェース回路の要部の具体的な回路構成を示す回路図

【図3】実施の形態1にかかるメモリインタフェース回路において、トラッキング動作を考慮して4チップ周期でメモリへのライトアクセスを行う場合の動作を示すタイミング図

【図4】実施の形態1にかかるメモリインタフェース回路において、1シンボルが8チップのデータを受信しているときに、最小の拡散率を考慮して4チップ周期でメモリへのライトアクセスを行う場合の動作を示すタイミング図

【図5】(a) 本発明前のメモリインタフェース回路における、拡散率に対応した処理量(消費電力)を示す図

(b) 本発明のメモリインタフェース回路における、拡散率に対応した処理量(消費電力)を示す図

【図6】本発明の実施の形態2にかかるメモリインタフェース回路のブロック図

【図7】本発明のメモリインタフェース回路を使用したCDMA受信機の構成を示すブロック図

(14)

【図8】(a) マルチレート伝送時の拡散率の違いによるシンボルの周期の違いを説明するための図

(b) トラッキング動作によるシンボル期間の変動と、これに伴う不都合を説明するための図

【図9】本発明を使用しないで同期追従に対応したメモリアクセスを行う場合に、無駄な処理が発生することを説明するためのタイミング図

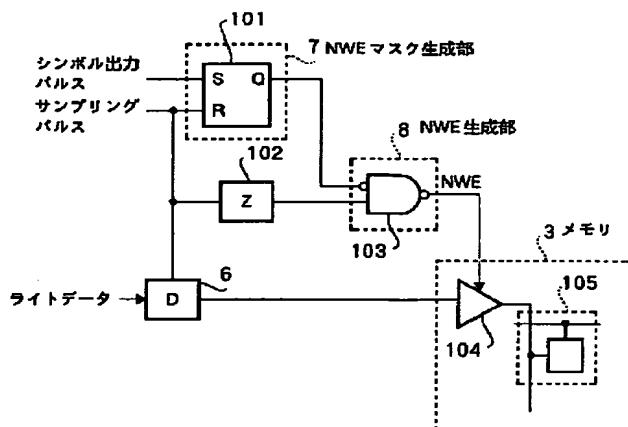
【図10】本発明を使用しないで拡散率が高いデータを受信する場合に、無駄な処理が発生することを説明するためのタイミング図

【符号の説明】

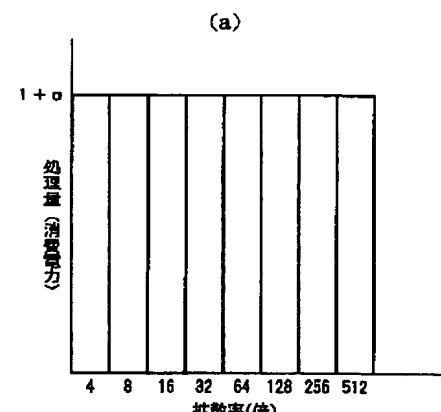
- 1 メモリインタフェース回路
- 2 逆拡散部
- 3 メモリ
- 4 シンボル出力信号生成部
- 5 サンプリング信号生成部
- 6 レジスタ
- 7 NWEマスク生成部
- 8 NWE生成部

20

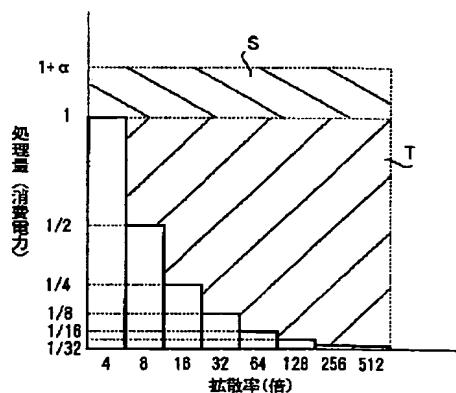
【図2】



【図5】

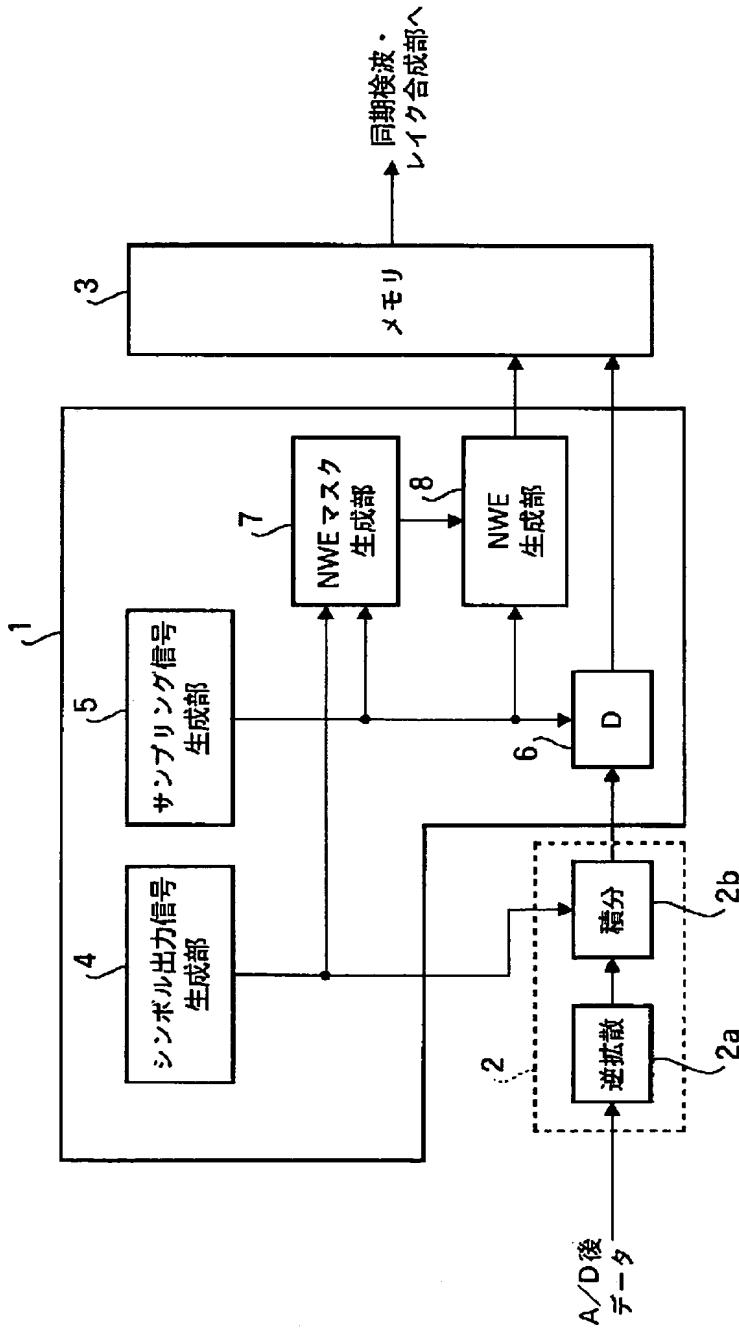


(b)



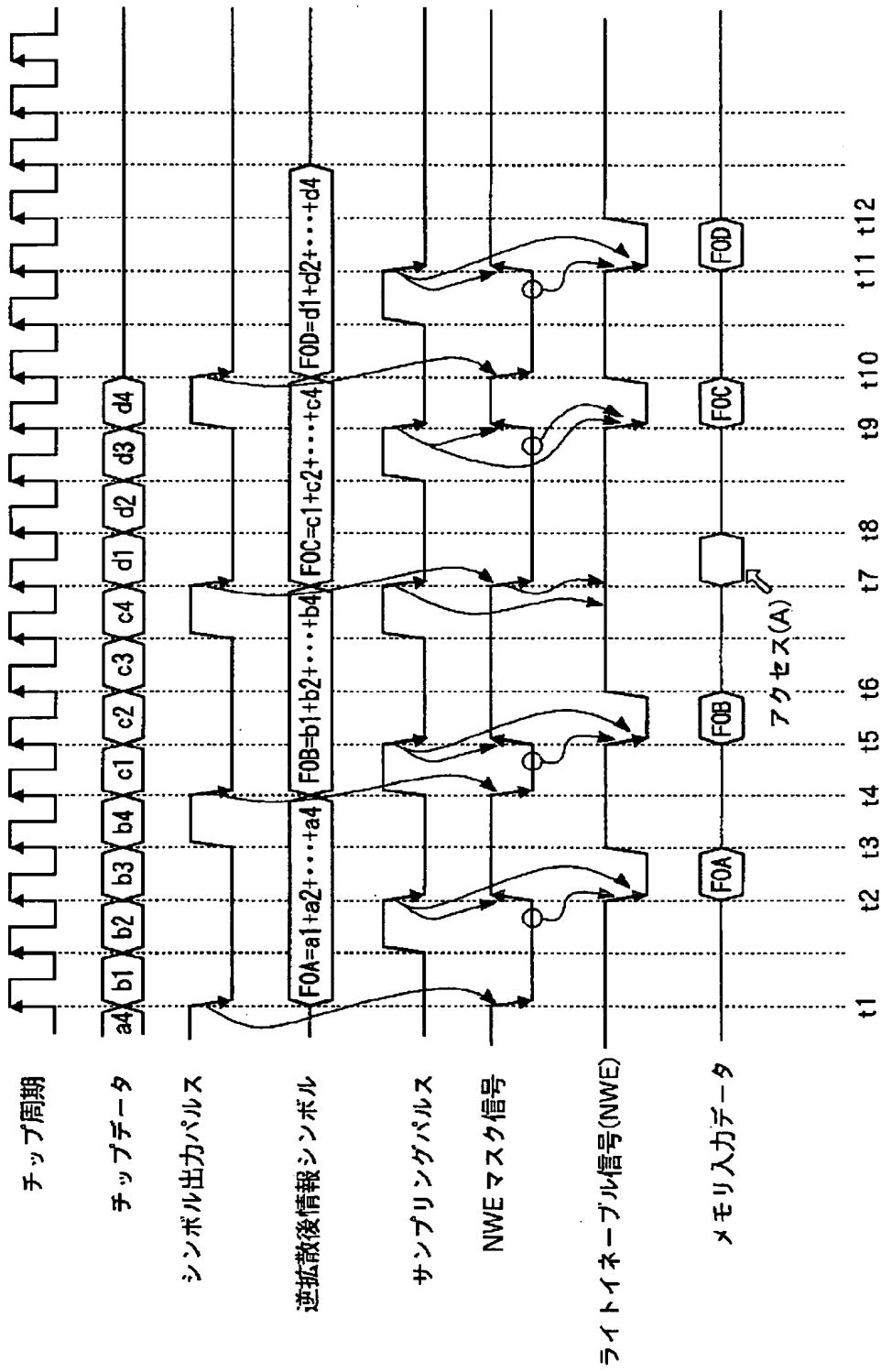
(9)

【図1】



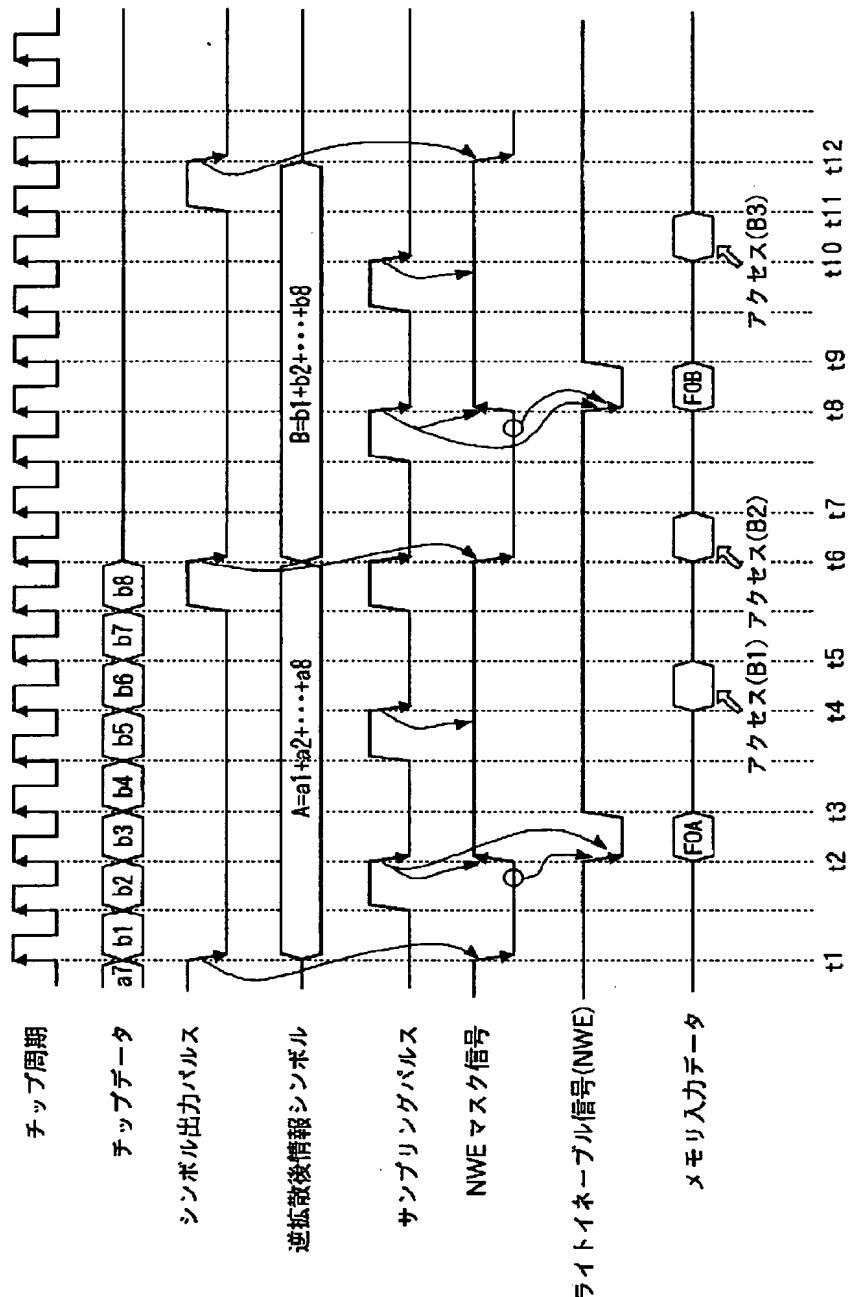
(10)

【図3】



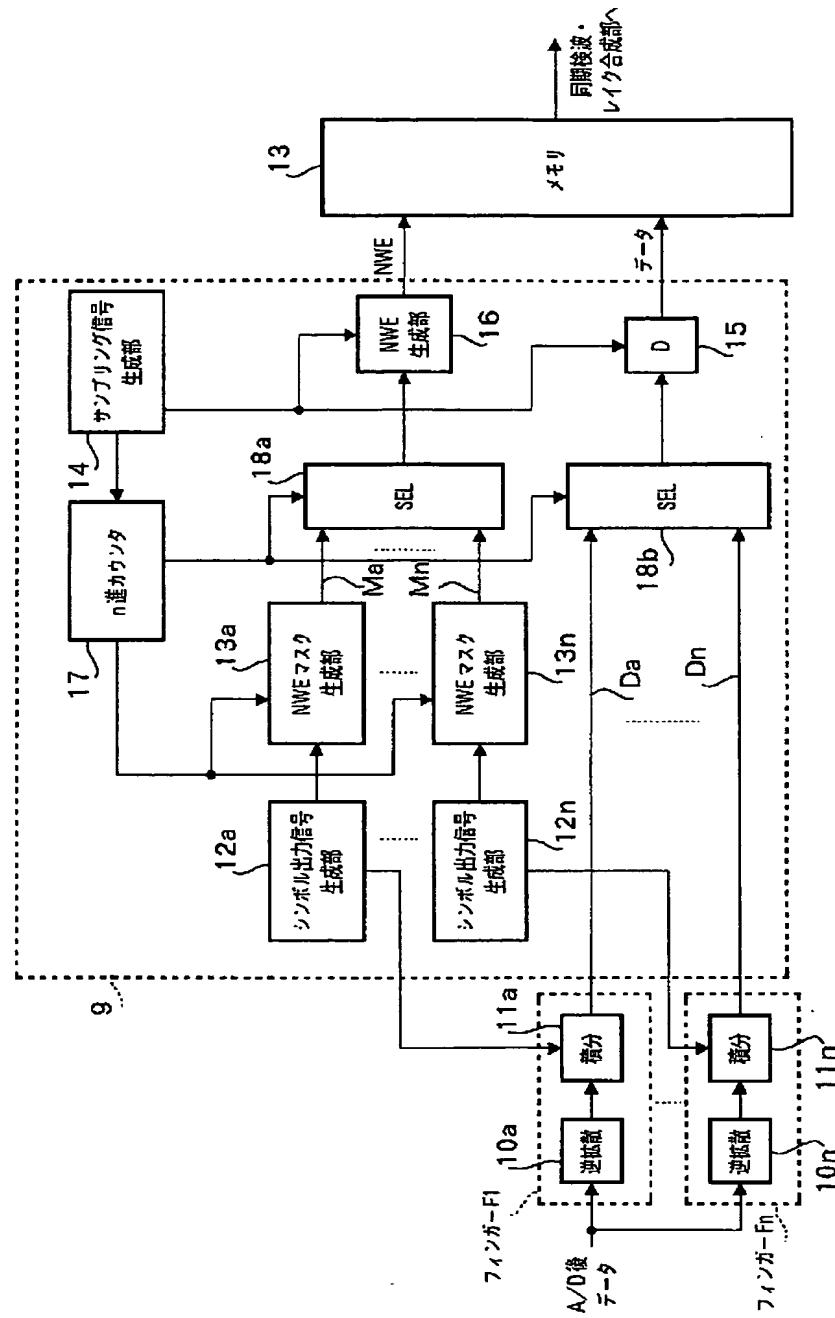
(11)

【図4】



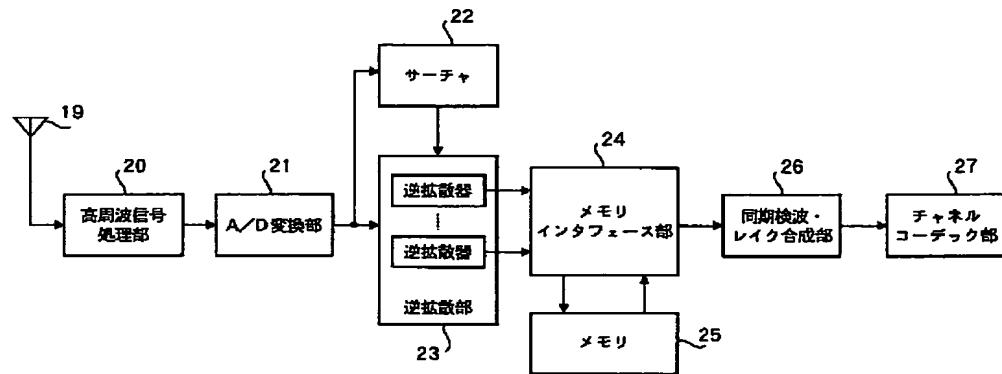
(12)

【図6】



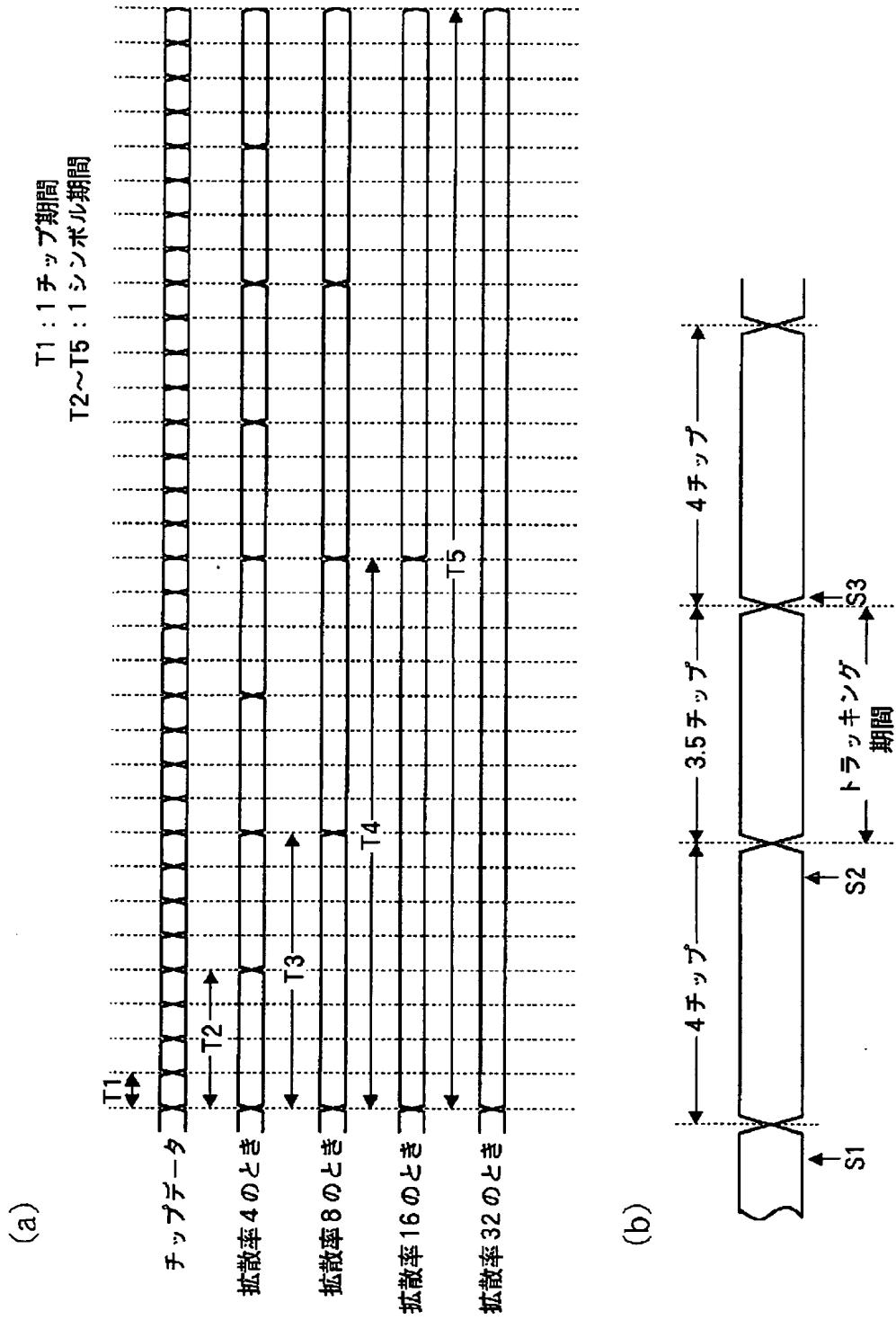
(13)

【図7】



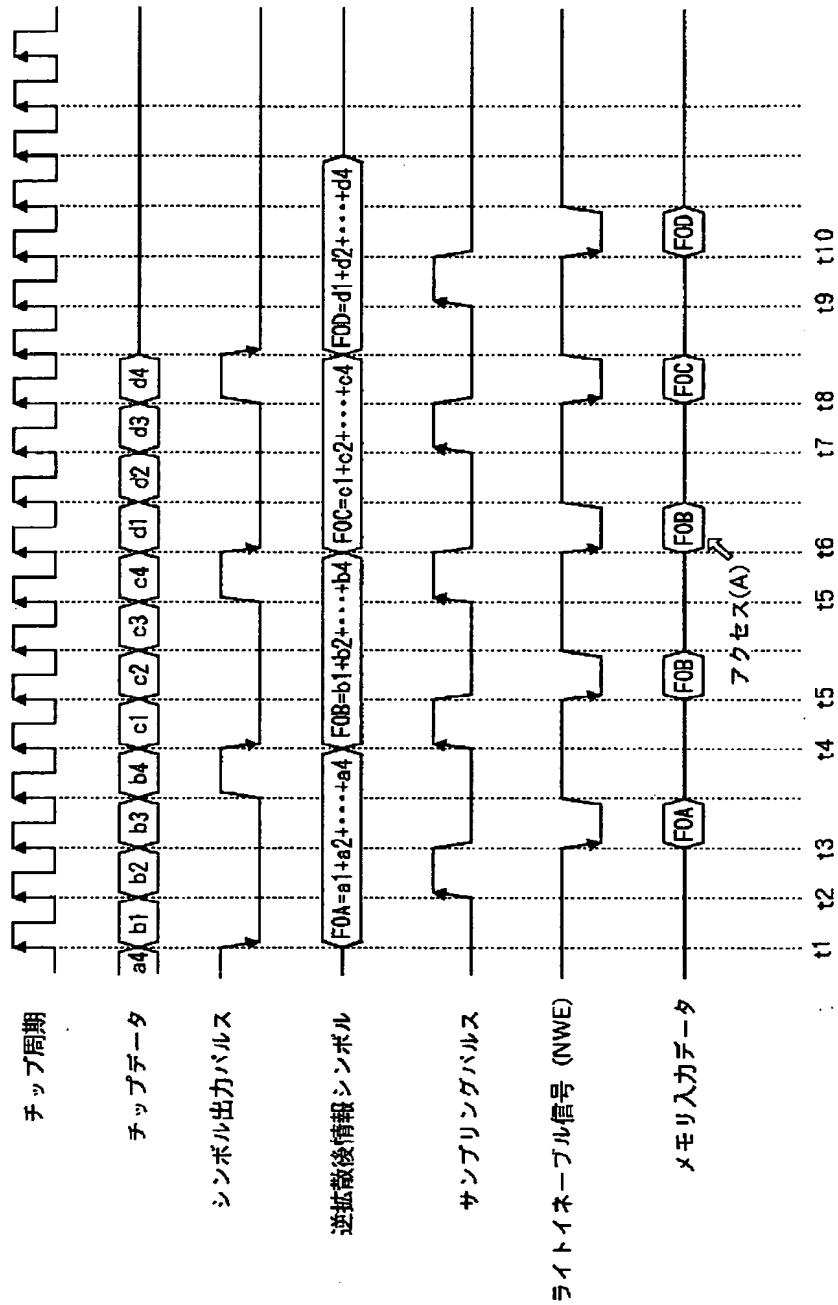
(14)

【図8】



(15)

【図9】



(16)

【図10】

